

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-109218

(43)Date of publication of application : 10.04.1992

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 02-228948

(71)Applicant : SHARP CORP.

(22)Date of filing : 30.08.1990

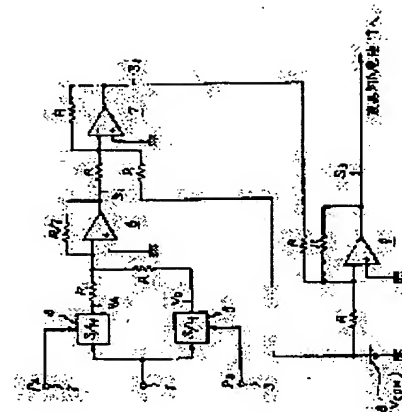
(72)Inventor : SAKAI YOSHIHARU

## (54) ACTIVE MATRIX DRIVING SYSTEM LIQUID CRYSTAL DISPLAY ELEMENT

### (57)Abstract:

**PURPOSE:** To prevent a DC signal from being applied to a liquid crystal and to prevent the liquid crystal from deteriorating in performance by detecting the fluctuation of voltage applied to a counter electrode, and correcting the voltage so that the fluctuation is canceled.

**CONSTITUTION:** The liquid crystal display element is equipped with a signal extracting circuit 6 which extracts a reference signal superposed in blanking periods of a video signal and a voltage fluctuation detecting circuit 71 which detects the fluctuation of voltage applied to the counter electrode according to the reference signal extracted by the signal extracting circuit 6. Further, a voltage correcting circuit 9 corrects the fluctuation of the voltage applied to the counter electrode with the detection signal of the voltage fluctuation detecting circuit 7. Thus, the fluctuation of the voltage supplied to the counter electrode is detected according to the extracted reference signal and corrected with the detection signal. Consequently, the voltage supplied to the counter electrode can be adjusted so that no DC signal is applied to the liquid crystal, therefore prevented from deteriorating in performance.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平4-109218

⑤ Int. Cl.<sup>5</sup>G 02 F 1/133  
G 09 G 3/36

識別記号

5 5 0

庁内整理番号

8806-2K  
8621-5G

⑬ 公開 平成4年(1992)4月10日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 アクティブマトリックス駆動方式の液晶表示素子

⑯ 特 願 平2-228948

⑰ 出 願 平2(1990)8月30日

⑱ 発 明 者 堀 芳 晴 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

## 明 細 書

## 1. 発明の名称

アクティブマトリックス駆動方式の  
液晶表示素子

## 2. 特許請求の範囲

(1) アクティブ素子として薄膜トランジスタが使用されると共に、上記薄膜トランジスタのソース電極に供給される映像信号が所定期間毎に極性反転されるアクティブマトリックス駆動方式の液晶表示素子において、

上記映像信号のブランキング期間に基準信号が重畳され、

上記映像信号に重畳された基準信号を抜き取る信号抜き取り回路と、

上記信号抜き取り回路で抜き取られる上記基準信号に基づいて対向電極に供給される電圧の変動を検出する電圧変動検出回路と、

上記電圧変動検出回路の検出信号で上記対向電極に供給される電圧の変動を補正する電圧補正回

路とを備えるアクティブマトリックス駆動方式の液晶表示素子。

## 3. 発明の詳細な説明

## [産業上の利用分野]

この発明は、アクティブ素子として、薄膜トランジスタを用いたアクティブマトリックス駆動方式の液晶表示素子に関する。

## [従来の技術]

第3図は薄膜トランジスタ(以下「TFT」という)を用いたアクティブマトリックス駆動方式の液晶表示素子の構成を示すものである。

マトリックスを構成する各画素は、TFT14、液晶セル15、蓄積キャパシティ16から構成されている。

各列のTFT14のソース電極は共通に接続され、それぞれソースバスライン11を介してソースドライバ10に接続される。

また、各行のTFT14のゲート電極は共通に接続され、それぞれゲートバスライン13を介し

てゲートドライバ12に接続される。

また、各TFT14のドレイン電極は、液晶セル15および蓄積キャパシタ16の並列回路を介して対向電極（共通電極）17に接続される。

以上の構成においてソースドライバ10には映像信号SVが供給され、1ライン分ずつ画素信号がラッチされて複数のソースバスライン11に出力される。また、ゲートドライバ12からは、複数のソースバスライン11に供給される1ライン分の画素信号に対応した位置のゲートバスライン13に順次定電圧パルスが供給される。これにより各画素を構成する液晶セル15には、それぞれの画素信号が印加され、その電圧値に応じて液晶の状態が変化し、光の透過量が制御され、結果的に画像が表示される。

ところで、液晶に直流信号が印加されると、フリッカなどの性能面および長期信頼性面も低下することが知られている。そこで、一般的に、映像信号SVは、第4図に示すように所定期間、例えば1水平周期毎に極性が反転されて液晶に印加され、

さらに、映像信号SVの中心電圧 $x_0$ に関連して対向電極17に印加される電圧 $X_0$ が調整され、液晶に直流信号が印加されないように構成される。

〔発明が解決しようとする課題〕

上述したように対向電極17に印加される電圧 $X_0$ が調整され、液晶に直流信号が印加されないようにしているが、温度変化や経年変化等によって直流成分が発生し、これが液晶に印加され、性能劣化を起こすことがあった。

そこで、この発明では、液晶に直流信号が印加されるのを防止することを目的とするものである。

〔課題を解決するための手段〕

この発明は、アクティブ素子としてTFT（薄膜トランジスタ）が使用されると共に、TFTのソース電極に供給される映像信号が、所定期間毎に極性反転されるアクティブマトリックス駆動方式の液晶表示素子において、この映像信号のブランキング期間に基準信号が重畳され、その重畳された基準信号を抜き取る信号抜き取り回路と、信号抜き取り回路で抜き取られる基準信号に基づい

て対向電極に供給される電圧の変動を検出する電圧変動検出回路と、その電圧変動検出回路の検出信号で対向電極に供給させる電圧の変動を補正する電圧補正回路とを備えるものである。

〔作用〕

上述の構成においては、信号抜き取り回路で抜き取られる基準信号に基づいて対向電極に供給される電圧の変動が検出され、この検出信号をもって対向電極に供給される電圧の変動が補正される。そのため、対向電極に供給される電圧は、液晶に直流信号が印加されないように調整された一定電圧に保持される。

〔実施例〕

以下、第1図を参照しながら、この発明の一実施例について説明する。

本例においては、まず映像信号SV（第1図Bに図示）の垂直ブランキング期間（同図Aに垂直ブランキング信号を図示）に、第1図Cに示すような基準信号が重畳される。この基準信号は電圧VAの部分（正基準信号）と電圧VBの部分（負基準

信号）とが連続したものである。

ここで、電圧VA、VBは、 $(VA+VB)/2 = V_{COM}$ となるように設定される。この場合、液晶に直流信号が印加されないようにするため、対向電極17（第3図参照）に供給される電圧を $-V_{COM}$ とする。

第1図Fは、基準信号の重畳された映像信号SV'を示している。

次に、本例において対向電極17に供給される電圧は、第2図に示す構成をもって形成される。

同図において、端子1には上述した映像信号SV'が供給され、この映像信号SV'はサンプルホールド回路4および5に供給される。サンプルホールド回路4には、垂直ブランキング期間の正基準信号のタイミングをもって、端子2よりサンプリングパルスPAが供給される（第1図Dに図示）。一方、サンプルホールド回路5には、垂直ブランキング期間の負基準信号のタイミングをもって、端子3よりサンプルパルスPBが供給される（第1図Eに図示）。

サンプルホールド回路4および5の出力信号はオペアンプで構成される加算器6に供給されて加算平均される。この加算器6の出力信号S1は、オペアンプで構成される加算器7に供給される。

また、8は直流電圧VCOMの電圧源である。この電圧源8からの出力電圧は、加算器7に供給される。加算器7では、この出力電圧と上述した出力信号S1とが加算される。

また、加算器7の出力信号S2は、オペアンプで構成される加算器9に供給される。この加算器9には、電圧源8からの出力電圧も供給される。加算器9では、この出力電圧と出力信号S2とが加算される。そして、この加算器9の出力信号S3が液晶表示素子の対向電極17に供給される。

以上の構成において、電圧源8の出力電圧値に変動が生じていない場合について説明する。

サンプルホールド回路4および5では、それぞれ電圧VAおよびVBの基準信号がサンプリングされるので、加算器6の出力信号S1は、

$$S1 = -(VA + VB) / 2 \quad \dots (1)$$

$$\dots (5)$$

となる。ここで、 $(VA + VB) / 2 = VCOM$ となるように設定されているので、 $S2 = -\Delta Vd$ となる。そのため、加算器9の出力信号S3は、

$$S3 = -(VCOM + \Delta Vd - \Delta Vd) = -VCOM \quad \dots (6)$$

となる。

したがって、この場合にも、対向電極17には、液晶に直流信号が印加されないように調整された電圧 $-VCOM$ が供給される。

このように本例においては、電圧源8からの出力電圧に変動が生じて、その変動分は加算器9で相殺され、対向電極17には、常に電圧 $-VCOM$ が供給される。したがって、液晶に直流信号が印加されるのを防止することができる。

なお、上述せずとも、本例においては、ソースドライバ10(第3図に図示)には、基準信号の重畳された映像信号SV'が供給されることになるが、基準信号は垂直ブランキング期間に重畳されるので、表示には何等影響を及ぼさない。

となる。そして、加算器7の出力信号S2は、

$$S2 = -1 - (VA + VB) / 2 + VCOM \quad \dots (2)$$

となる。ここで、 $(VA + VB) / 2 = VCOM$ となるように設定されているので、 $S2 = 0$ となる。そのため、加算器9の出力信号S3は、

$$S3 = -(VCOM + 0) = -VCOM \quad \dots (3)$$

したがって、対向電極17には、液晶に直流信号が印加されないように調整された電圧 $-VCOM$ が供給される。

次に、電圧源8の出力電圧値に変動 $\Delta Vd$ が生じた場合について説明する。

サンプルホールド回路4および5では、それぞれ電圧VAおよびVBの基準信号がサンプリングされるので、加算器6の出力信号S1は、

$$S1 = -(VA + VB) / 2 \quad \dots (4)$$

となる。そして、加算器7の出力信号S2は、

$$S2 = -1 - (VA + VB) / 2 + VCOM + \Delta Vd \\ = (VA + VB) / 2 - VCOM - \Delta Vd$$

また、上述実施例においては、1水平期間毎に映像信号の極性が反転されるものを示したが、その他の期間毎、例えば1フィールド期間毎に映像信号の極性が反転されるものにも適用できる。

#### [発明の効果]

以上説明したように、この発明によれば、対向電極に供給される電圧の変動が検出され、その変動が相殺されるように補正されるので、対向電極に供給される電圧は液晶に直流信号が印加されないように調整された一定電圧に保持できる。したがって、液晶に直流信号が印加されるのを防止でき、液晶の性能劣化を防止することができる。

#### 4. 図面の簡単な説明

第1図は基準信号を説明するための図、第2図は対向電極電圧形成回路を示す図、第3図は液晶表示素子の構成図、第4図は映像信号を説明するための図である。

#### 4. 5 . . . サンプルホールド回路

- 6. 7. 9 . . . 加算器
- 8 . . . 電圧源
- 10 . . . ソースドライバ
- 11 . . . ソースバスライン
- 12 . . . ゲートドライバ
- 13 . . . ゲートバスライン
- 14 . . . 薄膜トランジスタ
- 15 . . . 液晶セル
- 16 . . . 蓄積キャパシタ
- 17 . . . 対向電極

特許出願人 シャープ 株式会社  
代理人 弁理士 山口 邦夫

A 全画プランニング信号

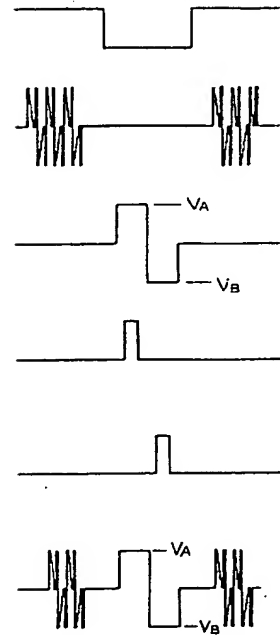
B  $S_v$

C 基準信号

D  $P_A$

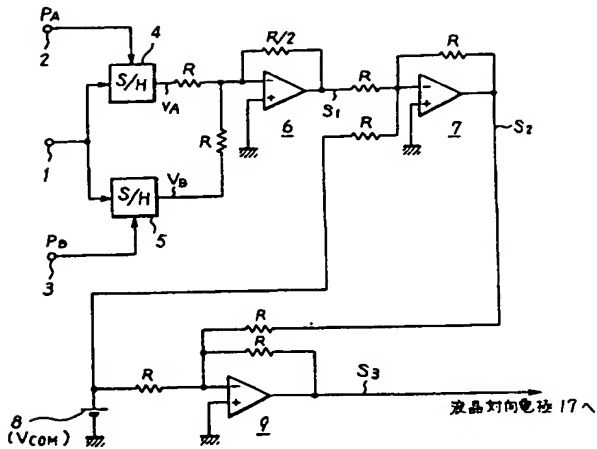
E  $P_B$

F  $S_v$



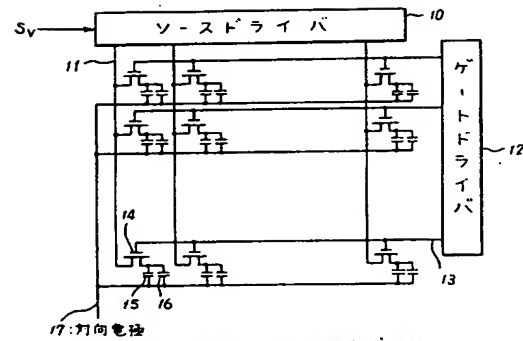
基準信号の説明

第 1 図



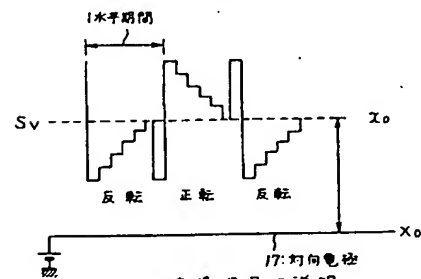
対向電極電圧形成回路

第 2 図



液晶表示素子の構成図

第 3 図



映像信号の説明

第 4 図